

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-276296

(P2000-276296A)

(43)公開日 平成12年10月6日(2000.10.6)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 6 F 3/033	3 5 0	G 0 6 F 3/033	3 5 0 F 5 B 0 8 7
G 0 9 F 9/00	3 6 6	G 0 9 F 9/00	3 6 6 E 5 G 4 3 5

審査請求 未請求 請求項の数13 O L (全 13 頁)

(21)出願番号 特願平11-85496

(22)出願日 平成11年3月29日(1999.3.29)

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72)発明者 山田 裕康

東京都八王子市石川町2951番地の5 カシ

オ計算機株式会社八王子研究所内

Fターム(参考) 5B087 AA02 AA06 AA09 AB16 AE09

CC01 CC12 CC13 CC14 CC16

CC25 CC26 CC33 DD02

5C435 AA00 AA18 BB05 CC09 DD18

EE33 FF13 HH02 HH12 HH13

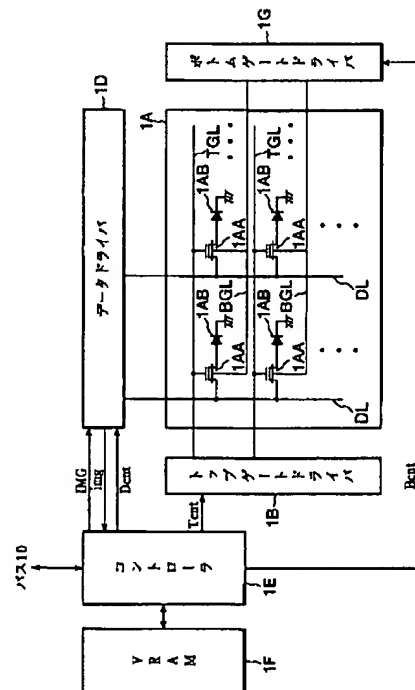
HH14

(54)【発明の名称】 入出力素子及びその駆動方法、入出力装置、並びに情報処理装置

(57)【要約】

【課題】 入出力素子を薄型、小型に構成し、しかも入力と出力との対応を正確にとる。

【解決手段】 入出力一体パネル1Aは、ダブルゲートトランジスタ1AAと有機EL素子1ABとの組がマトリクス状に配列してなる。ダブルゲートトランジスタ1AAのトップゲートに+5(V)、ボトムゲートに+0(V)を供給することで、内部の半導体層内にnチャネルが形成される。データドライバ1DからデータラインDLを介してドレインに供給された電圧によって、形成されたnチャネルを介して有機EL素子1ABに電流が流れ、発光する。一方、ダブルゲートトランジスタ1AAのトップゲートに-20(V)、ボトムゲートに+10(V)を供給した場合には、外部からの光の照射によって内部の半導体層内にnチャネルが形成される。このnチャネルを介してディスチャージされるデータラインDLの電位を測定することで、外部からの光の入射を検出できる。



【特許請求の範囲】

【請求項1】基板と、

前記基板上に設けられ、駆動電流信号の入力により所定の光を発光する複数の第1発光素子と、
任意に所定の光を発光可能な第2発光素子と、
前記基板上において前記複数の第1発光素子にそれぞれ隣接され、第1出力フレーム期間に前記駆動電流信号を前記第1発光素子に出力して前記第1発光素子の発する光により生成されたキャリアを保持し、第2出力フレーム期間に前記第1出力フレーム期間で保持されたキャリアに応じて前記駆動電流信号を前記第1発光素子に出力し、入力フレーム期間に前記第2発光素子からの光の入射に応じた信号を出力する複数のアクティブ素子と、
を備えることを特徴とする入出力素子。

【請求項2】前記アクティブ素子と第1発光素子とのそれぞれ1つずつで構成される組が所定の配列で配置されていることを特徴とする請求項1に記載の入出力素子。

【請求項3】前記第2発光素子は、任意の位置の前記アクティブ素子に光を出射することが自在であることを特徴とする請求項1または2に記載の入出力素子。

【請求項4】前記第1発光素子は、有機エレクトロルミネッセンス材料によって構成されることを特徴とする請求項1乃至3のいずれか1項に記載の入出力素子。

【請求項5】所定量以上の光が入射することにより内部に実質的にキャリアを発生する半導体層と、前記半導体層に対向して形成され、前記半導体層内にチャンネルを形成するためのチャンネル形成電圧が供給される第1の制御端子と、前記第1の制御端子と反対側に前記半導体層に対向して形成され、前記チャンネル形成電圧と逆極性の電圧が供給される第2の制御端子と、前記半導体層に接続された第1、第2の電流供給端子とを備えるアクティブ素子と、
前記半導体層に形成されたチャンネルを介して流れる電流によって発光し、前記第1、第2の制御端子の一方を介して前記所定量以上の光を前記半導体層に入射させる発光素子とを備えることを特徴とする入出力素子。

【請求項6】前記第1、第2の制御端子の他方の側に形成され、所定の輝度以上の光のみを実質的に透過して前記第1、第2の制御端子の他方を介して前記半導体層に入射させる遮光手段をさらに備えることを特徴とする請求項5に記載の入出力素子。

【請求項7】所定量以上の光が入射することにより内部に実質的にキャリアを発生する半導体層と、前記半導体層に対向して形成され、前記半導体層内にチャンネルを形成するためのチャンネル形成電圧が供給される第1の制御端子と、前記第1の制御端子と反対側に前記半導体層に対向して形成され、前記チャンネル形成電圧と逆極性の電圧が供給される第2の制御端子と、前記半導体層に接続された第1、第2の電流供給端子とを備えるアクティブ素子と、前記半導体層に形成されたチャンネルを介して流

れる電流によって発光し、前記第1、第2の制御端子の一方を介して前記所定量以上の光を前記半導体層に入射させる発光素子とを備える入出力素子を準備する入出力素子準備ステップと、

前記第1の制御端子に前記チャンネル形成電圧を供給するチャンネル形成電圧供給ステップと、

前記チャンネル形成電圧供給ステップで供給されたチャンネル形成電圧によって前記半導体層内にチャンネルが形成されたアクティブ素子の第1または第2の電流供給端子に、出力すべきデータに応じた電圧を供給する出力データ電圧供給ステップと、

前記第1の制御端子に前記チャンネル形成電圧を供給すると共に、前記第2の制御端子に前記逆極性の電圧を供給するチャンネル形成電圧／逆極性電圧供給ステップと、
前記チャンネル形成電圧／逆極性電圧供給ステップで前記第1、第2の制御端子にそれぞれの電圧が供給されているときに、前記第1、第2の制御端子の他方を介して前記所定量以上の光が入射されて前記半導体層内に実質的にキャリアが発生し、該発生したキャリアによって前記半導体層にチャンネルが形成されているかどうかを検出するチャンネル形成検出ステップとを含むことを特徴とする入出力素子の駆動方法。

【請求項8】前記出力データ供給ステップで、前記アクティブ素子の第1または第2の電流供給端子に電圧が供給されているときに、前記第2の制御端子に供給する前記逆極性の電圧のレベルを、前記半導体層へのチャンネル形成を阻害すると共に、前記半導体層内で生成されたキャリアの一部を保持する電圧レベルまで徐々に変化させるチャンネル阻害電圧供給ステップをさらに含むことを特徴とする請求項7に記載の入出力素子の駆動方法。

【請求項9】所定量以上の光が入射することにより内部に実質的にキャリアを発生する半導体層と、前記半導体層に対向して形成され、前記半導体層内にチャンネルを形成するためのチャンネル形成電圧が供給される第1の制御端子と、前記第1の制御端子と反対側に前記半導体層に対向して形成され、前記チャンネル形成電圧と逆極性の電圧が供給される第2の制御端子と、前記半導体層に接続された第1、第2の電流供給端子とを備える、マトリクス状に配置された複数のアクティブ素子と、前記複数のアクティブ素子のそれぞれに隣接し、対応するアクティブ素子の前記半導体層に形成されたチャンネルを介して流れる電流によって発光し、前記第1、第2の制御端子の一方を介して前記所定量以上の光を前記半導体層に入射させる複数の発光素子とを備える入出力素子と、
前記マトリクスの行毎に前記アクティブ素子を選択して、前記半導体層内にチャンネルを形成するための電圧をそれぞれ対応する第1の制御端子に供給する第1の選択手段と、
前記マトリクスの行毎に前記アクティブ素子を選択して、前記半導体層内へのチャンネル形成を阻害するための

電圧をそれぞれ対応する第2の制御端子に供給する第2の選択手段と、

前記マトリクス列ごとの前記アクティブ素子の第1または第2の電流供給端子に、表示すべき画像データに対応した電圧を供給するデータ駆動手段と、

前記第1、第2の制御端子の他方を介して入射された前記所定量以上の光によって前記半導体層にチャネルが形成されているアクティブ素子を、前記マトリクスの列毎に供給した所定の電圧が形成されたチャネルを介して放電されることによる電位変化により検出する入力検出手段とを備えることを特徴とする入出力装置。

【請求項10】外部からの入力に従って処理を行い、その処理結果を外部に出力する処理装置と、前記処理装置からの出力に対応する画像を表示すると共に、光が照射された位置に関する情報を前記処理装置に入力する入出力装置とを備え、
前記入出力装置は、
所定量以上の光が入射することにより内部に実質的にキャリアを発生する半導体層と、前記半導体層に対向して形成され、前記半導体層内にチャネルを形成するためのチャネル形成電圧が供給される第1の制御端子と、前記第1の制御端子と反対側に前記半導体層に対向して形成され、前記チャネル形成電圧と逆極性の電圧が供給される第2の制御端子と、前記半導体層に接続された第1、第2の電流供給端子とを備える、マトリクス状に配置された複数のアクティブ素子と、前記複数のアクティブ素子のそれぞれに隣接し、対応するアクティブ素子の前記半導体層に形成されたチャネルを介して流れる電流によって発光し、前記第1、第2の制御端子の一方を介して前記所定量以上の光を前記半導体層に入射させる複数の発光素子とを備える入出力素子と、
前記マトリクスの行毎に前記アクティブ素子を選択して、前記半導体層内にチャネルを形成するための電圧をそれぞれ対応する第1の制御端子に供給する第1の選択手段と、

前記マトリクスの行毎に前記アクティブ素子を選択して、前記半導体層内へのチャネル形成を阻害するための電圧をそれぞれ対応する第2の制御端子に供給する第2の選択手段と、

前記マトリクスの列毎の前記アクティブ素子の第1または第2の電流供給端子に、表示すべき画像データに対応した電圧を供給するデータ駆動手段と、

前記第1、第2の制御端子の他方を介して入射された前記所定量以上の光によって前記半導体層にチャネルが形成されているアクティブ素子を、前記マトリクスの列毎に供給した所定の電圧が形成されたチャネルを介して放電されることによる電位変化により検出する入力検出手段とを備えることを特徴とする情報処理装置。

【請求項11】前記入出力検出手段が検出する電位変化は、前記第1、第2の制御端子の他方を介して前記半導

体層に入射された光の量に応じて異なることを特徴とする請求項10に記載の情報処理装置。

【請求項12】前記入出力素子に押圧されることによって光を前記入出力素子に対して照射し、前記第1、第2の制御端子の他方を介して前記所定量以上の光を前記半導体層に入射させる光照射手段をさらに備えることを特徴とする請求項10または11に記載の情報処理装置。

【請求項13】前記光照射手段は、前記入出力素子への押圧の強度を感知する手段と、該手段が感知した押圧の強度に応じて、照射する光の範囲および/または光量を変化させる手段を備えることを特徴とする請求項12に記載の情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入出力素子及びその駆動方法、入出力装置、並びにこの入出力装置を適用した情報処理装置に関し、特に1枚構造で入力と出力とを兼ねることができるものに関する。

【0002】

【従来の技術】従来のタッチパネルは、ペンなどによりタッチされた位置を示す座標を検出する透明のディジタイザと画像等を表示する液晶表示パネルを重ね合わせた2枚構造となっており、入力装置と出力装置の両方の機能を有している。タッチパネルを入力装置として使用する場合には、例えば、液晶表示パネルに複数のアイコンを表示し、操作者がタッチしたアイコンに対応する位置を示す座標をディジタイザにより検出し、検出した座標により入力が行われる。

【0003】

【発明が解決しようとする課題】しかし、タッチパネルを特に小型化が要求される携帯情報端末等に適用した場合、従来のタッチパネルは、上記のように複数枚構造であるため、装置全体を薄型化、すなわち小型化することが困難であるという欠点があった。

【0004】

また、上記のような携帯情報端末では、操作者は、例えば、ディジタイザを介して液晶表示パネルに表示されているアイコン等を見て、希望する位置にタッチすることによって座標位置の入力を行い、所望の処理を行わせる。しかし、ディジタイザの厚み及びディジタイザと液晶パネルの間隔による視差が有るため、液晶パネルに表示されているアイコンの位置に対応するディジタイザの座標に正確にタッチすることができない場合も生じていた。

【0005】

ところで、携帯情報端末には、操作者がペン等でディジタイザ上をなぞった形跡（例えば、文字）を液晶表示パネルに表示する、いわゆる手書き入力機能を備えたものがある。しかし、従来のタッチパネルは、一般に、製造コストなどの観点からディジタイザの解像度（検出可能な座標数）が液晶パネルの解像度（画素数）よりも低くなっている。このため、ディジタイザ上

になぞられた形跡を、液晶表示パネル上に正確に表示することができなかった。また、上記したようなディジタイザと液晶パネルとの視差のため、操作者から見える状態では、なぞった位置に対応するように、液晶パネル上にその形跡が表示されていないという問題点があった。

【0006】なお、従来より、液晶表示パネルの代わりに、EL表示パネルなど自発光の表示パネルを用いたタッチパネルも知られている。しかしながら、このようなタッチパネルも透明のディジタイザと自発光表示パネルとの2枚構造となっており、上記したような液晶表示パネルを用いたタッチパネルと同様の問題点を有していた。

【0007】本発明は、上記従来技術の問題点を解消するためになされたものであり、薄型化、小型化が可能で、しかも入力と出力との対応を正確にとることができる入出力素子及びその駆動方法、入出力装置、並びに情報処理装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の観点にかかる入出力素子は、基板と、前記基板上に設けられ、駆動電流信号の入力により所定の光を発光する複数の第1発光素子と、任意に所定の光を発光可能な第2発光素子と、前記基板上において前記複数の第1発光素子にそれぞれ隣接され、第1出力フレーム期間に前記駆動電流信号を前記第1発光素子に出力して前記第1発光素子の発する光により生成されたキャリアを保持し、第2出力フレーム期間に前記第1出力フレーム期間で保持されたキャリアに応じて前記駆動電流信号を前記第1発光素子に出力し、入力フレーム期間に前記第2発光素子からの光の入射に応じた信号を出力する複数のアクティブ素子と、を備えることを特徴とする。

【0009】上記入出力素子では、第1の制御端子に半導体層内にチャネルを形成するための電圧を供給し、第1または第2の電流供給端子に出力データに従った電圧を供給することで、対応する第1発光素子を発光させることができる。一方、第1の制御端子に半導体層にチャネルを形成するための電圧を供給し、第2の制御端子にチャネル形成を阻害するための電圧を供給することで、半導体層へのチャネルの形成、第2発光素子から半導体層に光が入射されているかどうかを検出することができる。

【0010】このため、同一のアクティブ素子で、入出力素子内の発光素子の発光を制御するための機能と外部からの所定の輝度以上の光の入射を検出する機能とを兼ねることができる。そして、アクティブ素子と第1発光素子はともに同一基板上に形成されているので、入出力素子は薄型化が可能になると共に、1画素当たりの面積を小さくして、小型化することができる。また、第2発

光素子からの光を基板を介して行えば、入力と出力との対応付けが正確にとれるようになる。さらに、入出力素子全体に含まれるアクティブ素子の数を最小限に抑えることができるので、不良のアクティブ素子が存在する入出力素子が製造される可能性が低くなり、製造歩留まりが高くなる。

【0011】上記入出力素子は、前記アクティブ素子と第1発光素子とのそれぞれ1つずつで構成される組が所定の配列で配置されているものとすることができる。

【0012】上記入出力装置において、前記第2発光素子は、任意の位置の前記アクティブ素子に光を出射することが自在である。

【0013】上記入出力装置において、前記第1発光素子は、例えば、有機エレクトロルミネッセンス材料によって構成されるものとすることができる。

【0014】上記目的を達成するため、本発明の第2の観点にかかる入出力素子は、所定量以上の光が入射することにより内部に実質的にキャリアを発生する半導体層と、前記半導体層に対向して形成され、前記半導体層内にチャネルを形成するためのチャネル形成電圧が供給される第1の制御端子と、前記第1の制御端子と反対側に前記半導体層に対向して形成され、前記チャネル形成電圧と逆極性の電圧が供給される第2の制御端子と、前記半導体層に接続された第1、第2の電流供給端子とを備えるアクティブ素子と、前記半導体層に形成されたチャネルを介して流れる電流によって発光し、前記第1、第2の制御端子の一方を介して前記所定量以上の光を前記半導体層に入射させる発光素子とを備えることを特徴とする。

【0015】上記入出力素子は、前記第1、第2の制御端子の他方の側に形成され、所定の輝度以上の光のみを実質的に透過して前記第1、第2の制御端子の他方を介して前記半導体層に入射させる遮光手段をさらに備えるものとしてもよい。

【0016】この遮光手段により、通常、この入出力素子が使用される環境において所定量以上の外光半導体層に入射してキャリアを発生させることを防ぐことができ、例えば、レーザペンなどから発した強い光のみを第1、第2の制御端子の他方を透過させて所定量以上の光を半導体層に入射させることが可能となる。これにより、誤動作を防ぐことができるようになる。

【0017】上記目的を達成するため、本発明の第2の観点にかかる入出力素子の駆動方法は、所定量以上の光が入射することにより内部に実質的にキャリアを発生する半導体層と、前記半導体層に対向して形成され、前記半導体層内にチャネルを形成するためのチャネル形成電圧が供給される第1の制御端子と、前記第1の制御端子と反対側に前記半導体層に対向して形成され、前記チャネル形成電圧と逆極性の電圧が供給される第2の制御端子と、前記半導体層に接続された第1、第2の電流供給

端子とを備えるアクティブ素子と、前記半導体層に形成されたチャネルを介して流れる電流によって発光し、前記第1、第2の制御端子の一方を介して前記所定量以上の光を前記半導体層に入射させる発光素子とを備える入出力素子を準備する入出力素子準備ステップと、前記第1の制御端子に前記チャネル形成電圧を供給するチャネル形成電圧供給ステップと、前記チャネル形成電圧供給ステップで供給されたチャネル形成電圧によって前記半導体層内にチャネルが形成されたアクティブ素子の第1または第2の電流供給端子に、出力すべきデータに応じた電圧を供給する出力データ電圧供給ステップと、前記第1の制御端子に前記チャネル形成電圧を供給すると共に、前記第2の制御端子に前記逆極性の電圧を供給するチャネル形成電圧／逆極性電圧供給ステップと、前記チャネル形成電圧／逆極性電圧供給ステップで前記第1、第2の制御端子にそれぞれの電圧が供給されているときに、前記第1、第2の制御端子の他方を介して前記所定量以上の光が入射されて前記半導体層内に実質的にキャリアが発生し、該発生したキャリアによって前記半導体層にチャネルが形成されているかどうかを検出するチャネル形成検出ステップとを含むことを特徴とする。

【0018】上記入出力素子の駆動方法は、前記出力データ供給ステップで、前記アクティブ素子の第1または第2の電流供給端子に電圧が供給されているときに、前記第2の制御端子に供給する前記逆極性の電圧のレベルを、前記半導体層へのチャネル形成を阻害すると共に、前記半導体層内で生成されたキャリアの一部を保持する電圧レベルまで徐々に変化させるチャネル阻害電圧供給ステップをさらに含むものとしてもよい。

【0019】上記目的を達成するため、本発明の第3の観点にかかる入出力装置は、所定量以上の光が入射することにより内部に実質的にキャリアを発生する半導体層と、前記半導体層に対向して形成され、前記半導体層内にチャネルを形成するためのチャネル形成電圧が供給される第1の制御端子と、前記第1の制御端子と反対側に前記半導体層に対向して形成され、前記チャネル形成電圧と逆極性の電圧が供給される第2の制御端子と、前記半導体層に接続された第1、第2の電流供給端子とを備える、マトリクス状に配置された複数のアクティブ素子と、前記複数のアクティブ素子のそれぞれに隣接し、対応するアクティブ素子の前記半導体層に形成されたチャネルを介して流れる電流によって発光し、前記第1、第2の制御端子の一方を介して前記所定量以上の光を前記半導体層に入射させる複数の発光素子とを備える入出力素子と、前記マトリクスの行毎に前記アクティブ素子を選択して、前記半導体層内にチャネルを形成するための電圧をそれぞれ対応する第1の制御端子に供給する第1の選択手段と、前記マトリクスの行毎に前記アクティブ素子を選択して、前記半導体層内へのチャネル形成を阻害するための電圧をそれぞれ対応する第2の制御端子に供給する第2の選択手段とを備えることを特徴とする。

供給する第2の選択手段と、前記マトリクスの列ごとの前記アクティブ素子の第1または第2の電流供給端子に、表示すべき画像データに対応した電圧を供給するデータ駆動手段と、前記第1、第2の制御端子の他方を介して入射された前記所定量以上の光によって前記半導体層にチャネルが形成されているアクティブ素子を、前記マトリクスの列毎に供給した所定の電圧が形成されたチャネルを介して放電されることによる電位変化により検出する入力検出手段とを備えることを特徴とする。

【0020】上記入出力装置では、第1の選択手段と、第2の選択手段とは、入力系と出力系とで共通のものとすることができる。このため、入出力素子自体を小型にするだけでなく、駆動系も小型にすることができるので、入出力装置全体としてかなりの小型化を図ることができる。

【0021】上記目的を達成するため、本発明の第4の観点にかかる情報処理装置は、外部からの入力に従って処理を行い、その処理結果を外部に出力する処理装置と、前記処理装置からの出力に対応する画像を表示すると共に、光が照射された位置に関する情報を前記処理装置に入力する入出力装置とを備え、前記入出力装置は、所定量以上の光が入射することにより内部に実質的にキャリアを発生する半導体層と、前記半導体層に対向して形成され、前記半導体層内にチャネルを形成するためのチャネル形成電圧が供給される第1の制御端子と、前記第1の制御端子と反対側に前記半導体層に対向して形成され、前記チャネル形成電圧と逆極性の電圧が供給される第2の制御端子と、前記半導体層に接続された第1、第2の電流供給端子とを備える、マトリクス状に配置された複数のアクティブ素子と、前記複数のアクティブ素子のそれぞれに隣接し、対応するアクティブ素子の前記半導体層に形成されたチャネルを介して流れる電流によって発光し、前記第1、第2の制御端子の一方を介して前記所定量以上の光を前記半導体層に入射させる複数の発光素子とを備える入出力素子と、前記マトリクスの行毎に前記アクティブ素子を選択して、前記半導体層内にチャネルを形成するための電圧をそれぞれ対応する第1の制御端子に供給する第1の選択手段と、前記マトリクスの行毎に前記アクティブ素子を選択して、前記半導体層内へのチャネル形成を阻害するための電圧をそれぞれ対応する第2の制御端子に供給する第2の選択手段と、前記マトリクスの列毎の前記アクティブ素子の第1または第2の電流供給端子に、表示すべき画像データに対応した電圧を供給するデータ駆動手段と、前記第1、第2の制御端子の他方を介して入射された前記所定量以上の光によって前記半導体層にチャネルが形成されているアクティブ素子を、前記マトリクスの列毎に供給した所定の電圧が形成されたチャネルを介して放電されることによる電位変化により検出する入力検出手段とを備えることを特徴とする。

【0022】上記情報処理装置において、前記入出力検出手段が検出する電位変化は、前記第1、第2の制御端子の他方を介して前記半導体層に入射された光の量に応じて異なるものであってもよい。

【0023】上記情報処理装置は、前記入出力素子に押圧されることによって光を前記入出力素子に対して照射し、前記第1、第2の制御端子の他方を介して前記所定量以上の光を前記半導体層に入射させる光照射手段をさらに備えるものとしてもよい。

【0024】上記情報処理装置において、前記光照射手段は、前記入出力素子への押圧の強度を感知する手段と、該手段が感知した押圧の強度に応じて、照射する光の範囲および/または光量を変化させる手段を備えるものとしてもよい。

【0025】

【発明の実施の形態】以下、添付図面を参照して、本発明の実施の形態について説明する。

【0026】図1は、この実施の形態にかかる携帯情報端末の外観構成を示す図である。図示するように、この携帯情報端末は、携帯情報端末本体1と、レーザペン2とから構成されている。携帯情報端末本体1には、電源スイッチ1Sとレーザペン2を収納するペンホルダー2Aの他に、入出力一体パネル1Aが配されている。携帯情報端末本体1とそれに配された入出力一体パネル1Aについては、さらに詳しく後述する。

【0027】レーザペン2は、ユーザが入出力一体パネル1Aをタッチすることで、その先端からレーザ光を放射する。レーザペン2は、ペン先の押圧の強度を感知するセンサを有しており、このセンサが感知した押圧の強度に従って、放射するレーザ光のビーム径を広げたり、放射するレーザ光の強度（輝度）を高くする機能を有している。

【0028】図2は、図1の携帯情報端末本体1の回路構成を示すブロック図である。図示するように、携帯情報端末本体1は、バス10を介して互いに接続されたCPU（Central Processing Unit）11と、ROM（Read Only Memory）12と、RAM（Random Access Memory）13と、入出力装置14とを備えている。

【0029】CPU11は、ROM12またはRAM13に記憶されたプログラムを実行すると共に、この携帯情報端末本体1内の各部を制御する。ROM12は、オペレーティングシステムなどの基本プログラム、アプリケーションプログラムの他、固定的なデータを記憶する。RAM13は、CPU11が実行するアプリケーションプログラムや入力したデータなどを記憶する他、CPU11のプログラム実行時におけるワークエリアとして使用される。

【0030】入出力装置14は、図3に示すように、図1に示した入出力一体パネル1Aの他に、トップゲートドライバ1Bと、ボトムゲートドライバ1Cと、データ

ドライバ1Dと、コントローラ1Eと、VRAM（Video RAM）1Fとを備えている。

【0031】入出力一体パネル1Aは、図3の等価回路図で示すように、複数の入出力兼用画素がマトリクス状に配置されているもので、各画素は、ダブルゲートトランジスタ1AAと、有機エレクトロルミネッセンス（EL）素子1ABとから構成されている。

【0032】入出力一体パネル1Aの1画素分の構造を、図4（a）に示す平面図と、図4（b）に示す、図4（a）のA-A断面図を参照して、説明する。

【0033】これらの図に示すように、入出力一体パネル1Aでは、まず、透明のガラスやプラスチックプレートなどによって構成される基板1a上に、ボトムゲートラインBGLとボトムゲート電極1bとが一体形成されている。ボトムゲート電極1bは、CrOxなどからなる遮光部1baと、導電性のITO（Indium Tin Oxide）などからなる透明電極1bbの2層構造となっている。

【0034】遮光部1baは、基板1aを通して入射された外光（太陽光の輝度程度までのもの）を実質的に遮断して、後述する半導体層1dに入射されるのを防いでいる。一方、遮光部1baは、入出力一体パネル1A上をタッチしたときにレーザペン2から放射されたレーザ光は、後述するように半導体層1d内に十分な量のキャリアが発生する程度に透過する。

【0035】ボトムゲート電極1b及びボトムゲートラインBGLを覆うように、基板1a上には、SiNからなるゲート絶縁膜1cが形成されている。ゲート絶縁膜1c上の、ボトムゲート電極1bと対向する位置には、アモルファスシリコン（a-Si）またはポリシリコン（p-Si）からなる半導体層1dが形成されている。

【0036】ゲート絶縁膜1c上には、データラインDLと一体形成されたドレイン電極1eと、後述するコンタクトホール1xを介して有機EL素子1ABに接続されるソース電極1fとが、それぞれ半導体層1dを挟むようにして形成されている。そして、半導体層1d、ドレイン電極1e、ソース電極1f及びデータラインDLを覆うようにして、ゲート絶縁膜1cの上に、さらにゲート絶縁膜1gが形成されている。

【0037】ゲート絶縁膜1g上の、半導体層1dと対向する位置には、透明のITOからなるトップゲート電極1hが形成されており、さらにトップゲート電極1hを周囲から取り囲んで、有機EL層1nが発する波長域の光に対して非透過性を示すアルミニウム等の材料によって構成され、隣接する画素の有機EL層1nから半導体層1dに光が入射することを防ぐ遮光電極1iが、トップゲートラインTGLと一体に形成されている。

【0038】以上示したボトムゲート電極1b、半導体層1d、ドレイン電極1e、ソース電極1f及びトップゲート電極1h等により、ダブルゲートトランジスタ1

AAが構成される。そして、トップゲート電極1h、遮光電極1i及びトップゲートラインTGLを覆うように、絶縁保護膜1jが形成されている。

【0039】画素領域並びに絶縁保護膜1jの上の、トップゲートラインTGL、データラインDL及びボトムゲートラインBGLが形成されていない位置には、透明のITOからなるアノード電極1kが形成されている。アノード電極1kは、コンタクトホール1xを介してソース電極1fに接続される。なお、アノード電極1kは、トップゲート電極1hの上にも形成される。そして、さらにその上に、有機EL層1nと、MgAg、MgIn、AlLiなどからなり、接地されているカソード電極1mとがこの順で形成されている。

【0040】有機EL層1nは、アノード電極1kからカソード電極1mの方向に、正孔輸送層、発光層、及び電子輸送層が、順に積層されてなる。正孔輸送層は、N,N'-di(α -naphthyl)-N,N'-diphenyl-1,1'-biphenyl-4,4'-diamineからなり、発光層は、4,4'-bis(2,2-diphenylvinylene)biphenylと、4,4'-bis((2-carbazole)vinylene)biphenylとの混合物からなり、電子輸送層は、aluminum-tris(8-hydroxyquinolate)からなる。

【0041】有機EL層1nは、このような構成を有することで、内部に電流が流れることにより生じる電子と正孔の再結合に伴うエネルギーを吸収することで、所定の色の光を発する。また、カソード電極1mは、有機EL層1nが発した光に対して反射性を有すると共に、図の上部からカソード電極1mに入射した光を遮断して、ダブルゲートトランジスタAAの半導体層1dに入射されるのを防ぐ。

【0042】以上示した有機EL層1n、アノード電極1k及びカソード電極1mによって有機EL素子11が構成される。すなわち、有機EL層1nは、アノード電極1kとカソード電極1mとの間に閾値以上の電圧を印加することで有機EL層1n内に電流が流れ、光を発する自発光素子である。

【0043】なお、図3、図4に示すように、ダブルゲートトランジスタAAのトップゲート電極1hは、マトリクスの行毎に設けられたトップゲートラインTGLを介してトップゲートドライバ1Bに接続され、ボトムゲート電極1bは、行毎に設けられたボトムゲートラインBGLを介してボトムゲートドライバ1Gに接続され、ドレイン電極1eは、マトリクスの列ごとに設けられたデータラインDLを介してデータドライバ1Dに接続されている。

【0044】次に、図3、図4に示すダブルゲートトランジスタABの駆動原理について、図5(a)～(f)の模式図を参照して、詳しく説明する。

【0045】図5(a)に示すように、トップゲート電極(TG)1hに印加されている電圧が+5(V)であり、ボトムゲート電極(BG)1bに印加されている電

圧が0(V)であるときは、半導体層1dにはnチャネルが形成されず、ドレイン電極1e(D)に+8(V)の電圧が供給されても、ドレイン電極(D)1eとソース電極(S)1fとの間に電流は流れない。また、この状態では、後述するように半導体層1dに蓄積された正孔が吐出される。なお、以下、この状態をリセット状態という。

【0046】図5(b)に示すように、トップゲート電極(TG)1hに印加されている電圧が-20(V)であり、ボトムゲート電極(BG)1bに印加されている電圧が0(V)であるときは、半導体層1dにはnチャネルが形成されず、ドレイン電極1e(D)に+8(V)の電圧が供給されても、ドレイン電極(D)1eとソース電極(S)1fとの間に電流は流れない。

【0047】このように、ドレイン電極(D)1eとソース電極(S)1fとのそれぞれ下方の半導体層1dは、トップゲート電極(TG)1hとの間に配置されているドレイン電極(D)1eとソース電極(S)1fとの電界に影響されるため、トップゲート電極(TG)1hのみの電界では連続したチャネルを形成することができないので、ボトムゲート電極(BG)1bに印加されている電圧が0(V)である場合には、トップゲート電極(TG)1hに印加されている電圧の如何に関わらず、半導体層1dにnチャネルが形成されることはない。

【0048】図5(c)に示すように、トップゲート電極(TG)1hに印加されている電圧が+5(V)であり、ボトムゲート電極(BG)1bに印加されている電圧が+10(V)であるときは、半導体層1dのボトムゲート電極(BG)1b側にnチャネルが形成される。これにより、半導体層1dが低抵抗化し、ドレイン電極1eに+8(V)の電圧が供給されると、ドレイン電極(D)1eとソース電極(S)1fとの間に電流が流れる。また、この状態でも、後述するように半導体層1dに蓄積された正孔が吐出され、リセット状態となる。

【0049】図5(d)に示すように、後述するように半導体層1d内に十分な量の正孔が蓄積されず、トップゲート電極(TG)1hに印加されている電圧が-20(V)であると、ボトムゲート電極(BG)1bに印加されている電圧が+10(V)であっても、半導体層115の内部に空乏層が広がり、nチャネルがピンチオフされて、半導体層1dが高抵抗化する。このため、ドレイン電極1eに+8(V)の電圧が供給されても、ドレイン電極(D)1eとソース電極(S)1fとの間に電流が流れない。

【0050】図5(e)に示すように、トップゲート電極(TG)1hに印加されている電圧が0～20(V)であり、ボトムゲート電極(BG)1bに印加されている電圧が+10(V)で、かつ半導体層1dに光が照射されている場合には、半導体層1dに正孔-電子

対が生じる。こうしてトップゲート電極(TG)1hの電界に応じて半導体層1d内に蓄積された正孔は、リセット状態となるまで半導体層1dから吐出されることはない。

【0051】図5(f)に示すように、トップゲート電極(TG)1hに印加されている電圧が $-20(V)$ であり、ボトムゲート電極(BG)1bに印加されている電圧が $+10(V)$ であるが、半導体層1d内に正孔が蓄積されている場合には、蓄積されている正孔が負電圧の印加されているトップゲート電極1hに引き寄せられて保持され、トップゲート電極1hに印加されている負電圧が半導体層1dに及ぼす影響を緩和する方向に働く。このため、半導体層1dのボトムゲート電極(BG)1b側にnチャネルが形成され、半導体層1dが低抵抗化して、ドレイン電極1eに $+8(V)$ の電圧が供給されると、ドレイン電極(D)1eとソース電極(S)1fとの間に電流が流れる。

【0052】図3に戻って説明を続けると、トップゲートドライバ1Bは、コントローラ1Eからの制御信号Tcntに従って、トップゲートラインTGLを介してダブルゲートトランジスタ1AAのトップゲート電極1hに、行毎に所定の電圧を印加する。

【0053】ボトムゲートドライバ1Gは、コントローラ1Eからの制御信号Bcntに従って、ボトムゲートラインBGLを介してダブルゲートトランジスタ1AAのボトムゲート電極1bに、行毎に所定の電圧を印加する。トップゲートドライバ1Bとボトムゲートドライバ1Gからの所定の電圧の出力により、入出力一体パネル1AAの画素を行毎に選択する。

【0054】データドライバ1Dは、コントローラ1Eからの制御信号Dcntに従って、データラインDLを介してダブルゲートトランジスタ1AAのドレイン電極1Eに、列ごとに所定の電圧を印加する。なお、データドライバ1Dは、コントローラ1Eから供給された画像データIMGを順次取り込み、後述する出力フレームにおいて取り込んだ画像データIMGに応じた電圧をデータラインDLに出力する。データドライバ1Dは、また、後述する入力フレームでは、最初にすべてのデータラインDLに $+8(V)$ の電圧を供給し、その後ダブルゲートトランジスタ1AAの状態によって変化するデータラインDL上の電位を検知する機能も有する。データドライバ1Dは、検知したデータラインDL上の電位を入力画像データimgとして、コントローラ1Eに供給する。

【0055】コントローラ1Eは、バス10に接続されており、バス10から送られてきたデータに基づいて、入出力一体パネル1Aに表示すべき画像データを生成する。また、入出力一体パネル1Aから読み出した入力画像データimgをバス10を介してCPU11に送る。コントローラ1Eは、また、制御信号Tcnt、Bcnt、Dcntによって、トップゲートドライバ1B、ボトムゲートドライバ1G及びデータドライバ1Dをそれぞれ制御する。

【0056】VRAM1Fは、コントローラ1Eによる処理で入出力一体パネル1Aに表示すべき画像データを展開するための画像メモリである。VRAM1Fに展開された画像データは、後述する出力フレームにおいて、コントローラ1Eからデータドライバ1Dに画像データIMGとして順次供給される。

【0057】以下、この実施の形態にかかる携帯情報端末における動作について、説明する。最初に、入出力装置14の駆動動作から説明する。

【0058】図6は、入出力装置14の駆動動作を示す図である。図示するように、入力装置14は、入出力一体パネル1A上に画像を表示するための出力フレームと、レーザペン2による入出力一体パネル1Aへのタッチ動作を検出するための入力フレームとが、コントローラ1Gからの制御信号Tcnt、Bcnt、Dcntに従って、例えば、30分の1秒ごとに交互に切り換えられ、繰り返される。以下、出力フレームと入力フレームとに分けて、入出力装置14の動作を説明する。

【0059】(1)出力フレーム

出力フレームに切り換わったとき、VRAM1Fには、バス10を介して送られてきた情報に基づいて画像データが展開された状態となっている。また、入出力一体パネル1Aのすべてのダブルゲートトランジスタ1AAがリセットされており、半導体層1dからキャリアが吐出されている状態となっている。このような状態は、直前に入力フレームの期間において作られている。

【0060】また、出力フレームの前半半分の期間では、ボトムゲートドライバ1Gは、入出力一体パネル1AのすべてのボトムゲートラインBGLに、 $+10(V)$ の電圧を出力する。これにより、入出力一体パネル1A上のすべてのダブルゲートトランジスタ1AAのボトムゲート電極1bの電圧が、 $+10(V)$ となっている。

【0061】出力フレームの前半半分の期間において、コントローラ1Eは、VRAM1Fに展開されている画像データを順次走査して、画像データIMGとしてデータドライバ1Dに供給する。1行分の画像データIMGの取り込みが終了すると、コントローラ1Eからの制御信号Dcntに従って、データドライバ1Dは、画像データIMGの発光/非発光に応じて $+8(V)$ または $0(V)$ の電圧を各データラインDLに1選択期間(1水平期間)の前半半分の期間だけ出力する。

【0062】また、データラインDLへの電圧の出力に同期して、トップゲートドライバ1Bは、コントローラ1Eからの制御信号Tcntに従って、データラインDLへ出力された電圧に対応する行(選択行)のトップゲートラインBGLに $+5(V)$ の電圧を、選択行以外の

トップゲートラインBGLに -20 (V) の電圧を出力する。

【0063】これにより、選択行のダブルゲートトランジスタ1AAでは、図5(c)に示したように半導体層1d内にnチャネルが形成される。そして、選択行で、データラインDLに $+8$ (V) の電圧が出力されている列のダブルゲートトランジスタ1AAでは、nチャネルを介してドレイン電極1eとソース電極1fとの間に、さらには有機EL素子1ABに電流が流れ、有機EL層1nが発光する。このとき、これ以前に選択された非選択行かつ当該列で、図5(f)に示したようにキャリアの蓄積によりnチャネルが半導体層1dに形成されているダブルゲートトランジスタ1AAでも、nチャネルを介してドレイン電極1eとソース電極1fとの間に、さらには有機EL素子1ABに電流が流れ、有機EL層1nが発光する。

【0064】一方、選択行で、データラインDLに0 (V) の電圧が出力されている列のダブルゲートトランジスタ1AAでは、半導体層1dにnチャネルが形成されていても電流が流れないので、対応する有機EL素子1ABに電流が流れることはなく、有機EL層1nは発光しない。このとき、当該列で非選択行の有機EL層1nも発光しない。

【0065】次に、トップゲートドライバ1Bは、コントローラ1Eからの制御信号Tcntに従って、1選択期間の半分の期間が終了するまでに選択行のトップゲートラインTGLに出力する電圧を -20 (V) まで徐々に低下させていく。これにより、選択行のダブルゲートトランジスタ1AAでは、トップゲート電極1hの電圧が -20 (V) に下がることとなるが、それまでの過程で有機EL層1nが発した光により半導体層1dには、図5(f)に示したようにnチャネルが形成されたまま電流が流れるため、有機EL層1nは発光状態を維持する。

【0066】次に、1選択期間の後半半分の期間では、トップゲートドライバ1Bは、1選択期間の前半最後のときの出力状態を維持する。一方、データドライバ1Dは、前半半分の期間と逆の電圧、すなわち選択行の有機EL素子1ABの発光/非発光に対応して、それぞれ0 (V) と $+8$ (V) の電圧をデータラインDLのそれぞれに出力する。

【0067】これにより、これ以前に選択された非選択行かつ $+8$ (V) の電圧がデータラインDLに出力されている列で、図5(f)に示したようにキャリアの蓄積によりnチャネルが半導体層1dに形成されているダブルゲートトランジスタ1AAでは、nチャネルを介してドレイン電極1eとソース電極1fとの間に、さらには有機EL素子1ABに電流が流れ、有機EL層1nが発光する。このため、これ以前に選択された非選択行で、図5(f)に示したようにキャリアの蓄積により対応す

るダブルゲートトランジスタ1AAの半導体層1dにnチャネルが形成されている行の有機EL層1nは、1選択期間において同じ期間だけ発光することとなる。

【0068】以上の入出力一体パネル1Aの行の選択を、出力フレームの前半半分の期間で、第1行から最終行まで順次行う。次に、出力フレームの後半半分の期間に入ると、1選択期間ずつ順次第1行から最終行まで、トップゲートドライバ1Bとボトムゲートドライバ1Gは、コントローラ1Eからの制御信号Tcnt、Bcntに従って、トップゲートラインTGL、ボトムゲートラインBGLに出力する電圧をそれぞれ $+5$ (V)、0 (V) に変えていく。また、データドライバ1Dは、コントローラ1Eからの制御信号に従って、1選択期間の半分だけすべてのデータラインDLに $+8$ (V) の電圧を、他の半分0 (V) の電圧を出力する。

【0069】これにより、ダブルゲートトランジスタ1Aは、1行ずつ順次リセットされて、行毎に有機EL層1nが発光しなくなっていく。こうして、出力フレームにおいては、対応する画像データIMGが発光すべきことを示している有機EL層1nは、すべて出力フレームの期間の4分の1程度の期間、発光することとなる。

【0070】なお、次に説明する入力フレームの間、入出力一体パネル1A上のすべての有機EL素子1ABは発光しておらず、入出力一体パネル1A上に実際には画像表示されていないこととなっている。が、間欠的に繰り返される出力フレームで入出力一体パネル1A上に表示される画像は、人間の目の残像効果によって、連続的に表示されている画像であると認識される。

【0071】(2) 入力フレーム

入力フレームでは、1選択期間(ここでは、出力フレームにおける1選択期間のほぼ2倍)ずつ順次、トップゲートドライバ1Bとボトムゲートドライバ1Gは、コントローラ1Eからの制御信号Tcnt、Bcntに従って、第1行から最終行のいずれかのトップゲートラインTGLとボトムゲートラインBGLとに、それぞれ -20 (V) と $+10$ (V) の電圧を出力する。また、データドライバ1Dは、コントローラ1Eからの制御信号Dcntに従って、1選択期間内の初めの方の所定期間、すべてのデータラインDLに $+8$ (V) の電圧を出力する。

【0072】選択された行で、入出力一体パネル1A上の対応する位置がレーザペン2で押圧され、レーザペン2から放出された光が半導体層1dに入射されているダブルゲートトランジスタ1AAは、図5(f)に示すようにキャリアの蓄積により半導体層1dにnチャネルが形成され、ドレイン電極1eとソース電極1fとの間に電流が流れる。このため、対応する列のデータラインDLの電位がディスチャージされる。

【0073】一方、入出力一体パネル1A上の対応する位置がレーザペン2で押圧されず、半導体層1dに光が

入射されていないダブルゲートトランジスタ1Aは、図5(d)に示すように、半導体層1d内のnチャネルがピンチオフされ、ドレイン電極1eとソース電極1fとの間に電流が流れない。このため、対応する列のデータラインDLの電位は、+8(V)のままとなる。

【0074】次に、1選択期間内の終わりの方の所定期間で、データドライバ1Dは、コントローラ1Eからの制御信号Dcntに従って、入出力一体パネル1A上の各データラインDLの電位、すなわち選択行のレーザペン2による押圧に対応した信号を読み出す。そして、読み出したデータラインDLの電位を、入力画像データimgとして順次コントローラ1Eに供給する。

【0075】また、選択期間が終了した行について、トップゲートドライバ1Bとボトムゲートドライバ1Gは、コントローラ1Eからの制御信号Tcnt、Bcntに従って、トップゲートラインTGLとボトムゲートラインBGLとに出力する電圧をそれぞれ+5(V)、0(V)としていく。これにより、当該行のダブルゲートトランジスタ1Aは、図5(a)に示すように半導体層1dからキャリアが吐出されて、リセットされる。

【0076】上記したようにして供給された入力画像データimgに基づいて、コントローラ1Eは、入力フレームにおいてレーザペン2で押圧されていた入出力一体パネル1A上の座標位置に関する情報を生成し、これをバス10を介してCPU11に供給する。

【0077】なお、入力フレームにおいて、レーザペン2で押圧されていた位置に対応する有機EL層1nは、ダブルゲートトランジスタ1Aのドレイン電極1eとソース電極1fとの間を電流が流れることにより、1選択期間だけ発光することとなるが、出力フレームでの発光に比べると無視できる程度に短い期間となるため、実用上問題が生じることはない。

【0078】次に、この実施の形態にかかる携帯情報端末全体としての動作について、図7(a)、(b)を参照して説明する。ここでは、携帯情報端末の具体的な使用例として、地図などの図形を手書きで入力する場合を例として説明する。

【0079】図7(a)に示すように、レーザペン2による筆圧が強い、すなわち入出力一体パネル1Aを押圧する強度が強いと、レーザペン2の先端から放射されるレーザ光のビーム径が広くなる。このため、入力フレームにおいて、レーザペン2の先端の位置に対して、遮光部1baを透過して半導体層1dへの光の入射を検知するダブルゲートトランジスタ1Aの範囲が広くなり、その広い範囲での入力画像データimgがデータドライバ1Dからコントローラ1Eに供給されることとなる。

【0080】コントローラ1Eは、この押圧範囲が広い入力画像データimgの位置に関する情報をバス10を介してCPU11に送る。そして、この情報を受け取ったCPU11は、その広い押圧範囲に対応する画像を表

示させるための指示を入出力装置14のコントローラ1Eに送る。コントローラ1Eは、CPU11からの指示に従って、上記の広い範囲に対応する画像データをVRAM1Fに展開し、出力フレームにおいて画像データIMGとしてデータドライバ1Dに順次供給する。これにより、図7(a)に示すように、レーザペン2でなぞった形跡を太い線で示した画像が入出力一体パネル1A上に表示される。

【0081】また、図7(b)に示すように、レーザペン2による筆圧が弱い、すなわち入出力一体パネル1Aを押圧する強度が弱いと、レーザペン2の先端から放射されるレーザ光のビーム径が狭くなる。このため、入力フレームにおいて、レーザペン2の先端の位置に対して、遮光部1baを透過して半導体層1dへの光の入射を検知するダブルゲートトランジスタ1Aの範囲が狭くなり、その狭い範囲での入力画像データimgがデータドライバ1Dからコントローラ1Eに供給されることとなる。

【0082】コントローラ1Eは、この押圧範囲が狭い入力画像データimgの位置に関する情報をバス10を介してCPU11に送る。そして、この情報を受け取ったCPU11は、その狭い押圧範囲に対応する画像を表示させるための指示を入出力装置14のコントローラ1Eに送る。コントローラ1Eは、CPU11からの指示に従って、上記の狭い範囲に対応する画像データをVRAM1Fに展開し、出力フレームにおいて画像データIMGとしてデータドライバ1Dに順次供給する。これにより、図7(b)に示すように、レーザペン2でなぞった形跡を細い線で示した画像が入出力一体パネル1A上に表示される。

【0083】なお、図7(a)と図7(b)のいずれの場合においても、間欠的に順次繰返されている出力フレームによって、レーザペン2でなぞった形跡が連続して画像として表示されているように、ユーザが認識することができる。ユーザは、連続して表示されていると認識した画像に従って、次にレーザペン2で押圧すべき入出力一体パネル1A上の位置を正確に判断することができる。

【0084】以上説明したように、この実施の形態にかかる携帯情報端末では、画像の表示及び情報の入力のために使用されている入出力一体パネル1Aが実質的な1枚構造で薄型に構成できるため、携帯情報端末本体1としても薄型に構成することができる。また、入出力一体パネル1Aにおいて、ダブルゲートトランジスタ1Aは、有機EL素子1Bの選択、発行維持のための機能と、入出力一体パネル1A上のレーザペン2でのタッチ位置の検出のための機能とを兼ねているため、1画素当たりの面積を小さくすることができ、小型にすることができる。ひいては、携帯情報端末自体も小型にすることができる。

【0085】さらに、入出力装置14において、トップゲートドライバ1B、ボトムゲートドライバ1G及びデータドライバ1Dの動作を出力フレームと入力フレームとで切り換えれば、出力用の駆動系と入力用の駆動系とを別個に設ける必要がない。これにより、入出力装置14を小型に構成することができ、ひいては、携帯情報端末自体も小型にすることができる。

【0086】また、入出力一体パネル1Aでは、画像の表示用の画素と情報の入力用の画素とが実質的に同じ位置に設けられているため、視差による位置ずれが生じることなく、入力と出力との対応を正確にとることができる。

【0087】また、入出力一体パネル1Aには、出力と入力とを兼ねる1画素あたりに、アクティブ素子としてダブルゲートトランジスタ1AAが1つだけ設けられている。このため、入出力一体パネル1Aに全体で設けられているアクティブ素子の数を最小限の数に抑えることができるので、製造された入出力一体パネル1Aに不良のアクティブ素子が含まれる確率を低くすることができ、入出力一体パネル1Aの製造歩留まりを高くすることができる。

【0088】本発明は、上記の実施の形態に限られず、種々の変形、応用が可能である。以下、本発明に適用可能な上記の実施の形態の変形態様について、説明する。

【0089】上記の実施の形態では、ボトムゲート電極1bは、遮光部1baと透明電極1bbとの二層構造とし、遮光部1baが半導体層1dへの外光の入射を実質的に遮ると共に、レーザペン2から照射された光のみを実質的に透過して半導体層1dに入射させることとしていた。しかしながら、このような光を遮断/透過する手段は、透明電極1bbに対して半導体層1dの側にあるものとしてもよく、さらには電極の機能を兼ねていない不導体によって実現してもよい。

【0090】上記の実施の形態では、ダブルゲートトランジスタ1AAにおいて、トップゲート電極1bは、基板1a側に形成されていた。しかしながら、トップゲート電極とボトムゲート電極との位置関係は、逆でも構わない。すなわち、ボトムゲート電極が基板側に形成される構造としてもよい。この場合、ボトムゲート電極を遮光部と透明電極の二層構造とし、トップゲート電極を透明電極だけの一層構造とすればよい。

【0091】上記の実施の形態では、ダブルゲートトランジスタ1AAは、半導体層1d内にnチャネルが形成されるnチャネル型のものとしたが、pチャネルが形成されるpチャネル型のものとしてもよい。この場合、ボトムゲート電極1aやトップゲート電極1bに印加する電圧の極性を、上記の場合と逆にすればよい。

【0092】上記の実施の形態では、出力フレームと入力フレームとは、期間的に完全に独立していた。これに対して、図8に示すように、出力フレームの期間と入力

フレームとの期間がオーバーラップするようにしてもよい。この場合、入力フレームにおいて発光を開始した有機EL素子1ABがその発光を次の出力フレームで対応する行が選択されるまで発光を維持するように、ダブルゲートトランジスタ1AAのトップゲート電極及びボトムゲート電極に電圧を印加すればよい。

【0093】上記の実施の形態では、出力フレームと入力フレームとが、30分の1秒ごとに交互に切り換えられていた。これに対して、図9に示すように、例えば、出力フレーム2回に対して入力フレームを1回にするなど、出力フレームと入力フレームとの数が異なってもよい。特に、図9のように入力フレームの数が出力フレームの数よりも少なくとも、人間の手の動きのスピードからして問題が生じることはない。また、1フレーム期間は、30分の1秒に限られず、1出力フレーム期間と1入力フレーム期間とが異なってもよい。

【0094】上記の実施の形態では、本発明を携帯情報端末に適用した場合について、説明した。しかしながら、上記した入出力装置14は、他の情報処理装置、例えば、銀行のATM端末や切符の自動販売機などにも適用することができる。また、上記した入出力装置14をCAD (Computer Assisted Design) システムに適用すれば、入力と出力との位置ずれを生じさせることなく、対象物を設計することができる。

【0095】

【発明の効果】以上説明したように、本発明によれば、入出力素子、装置や情報処理装置を薄型、小型に構成することができる。また、出力位置と入力位置との正確な対応付けが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態にかかる携帯情報端末の外観構成を示す図である。

【図2】図1の携帯情報端末本体の回路構成を示す図である。

【図3】図2の入出力装置の回路構成を示すブロック図である。

【図4】図1、図3の入出力一体パネルの構造を示す図であり、(a)は平面図、(b)は(a)のA-A断面図である。

【図5】(a)～(f)は、図4のダブルゲートトランジスタの駆動を説明する模式図である。

【図6】図3の入出力装置の駆動例を示す図である。

【図7】本発明の実施の形態にかかる携帯情報端末装置の使用例を示す図である。

【図8】図2の入出力装置の他の駆動例を示す図である。

【図9】図2の入出力装置の他の駆動例を示す図である。

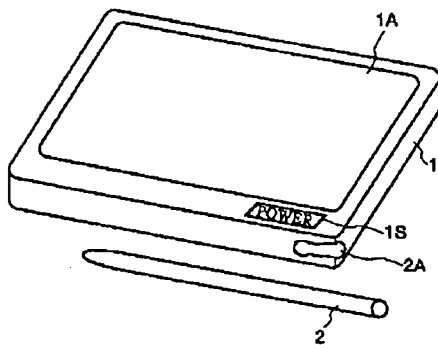
【符号の説明】

1…携帯情報端末装置本体、2…レーザペン、10…

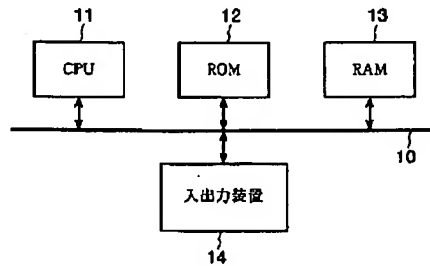
バス、11…CPU、12…ROM、13…RAM、14…入出力装置、1A…入出力一体パネル、1B…トップゲートドライバ、1G…ボトムゲートドライバ、1D…データドライバ、1E…コントローラ、1F…VRAM、1AA…ダブルゲートトランジスタ、1AB…有機EL素子、1a…基板、1b…ボトムゲート電極、1ba…遮光部、1bb…透明電

極、1c…ゲート絶縁膜、1d…半導体層、1e…ドレイン電極、1f…ソース電極、1g…ゲート絶縁膜、1h…トップゲート電極、1i…遮光電極、1j…絶縁保護膜、1k…アノード電極、1n…有機EL層、1m…カソード電極、TGL…トップゲートライン、BGL…ボトムゲートライン、DL…データライン

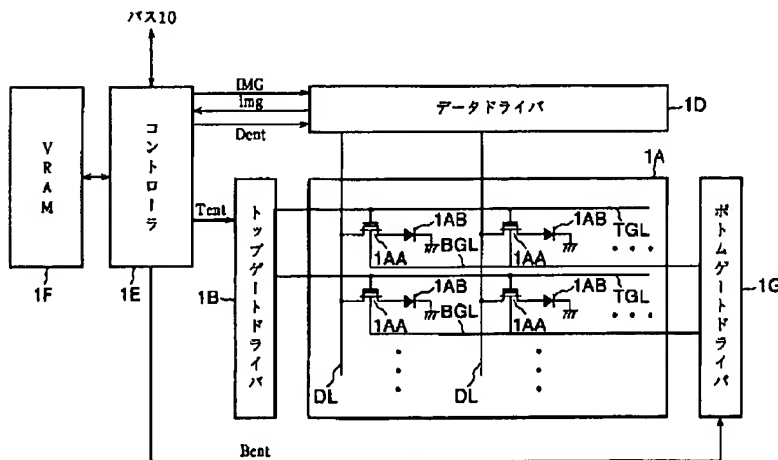
【図1】



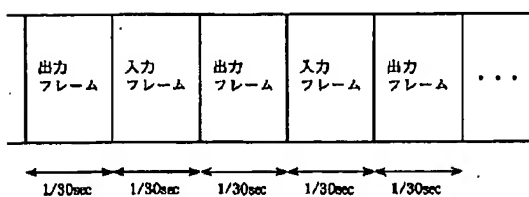
【図2】



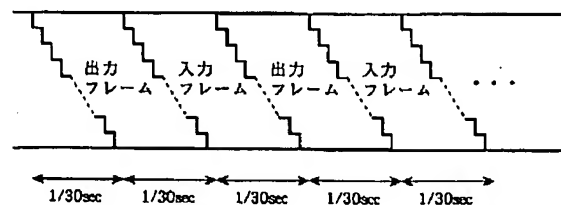
【図3】



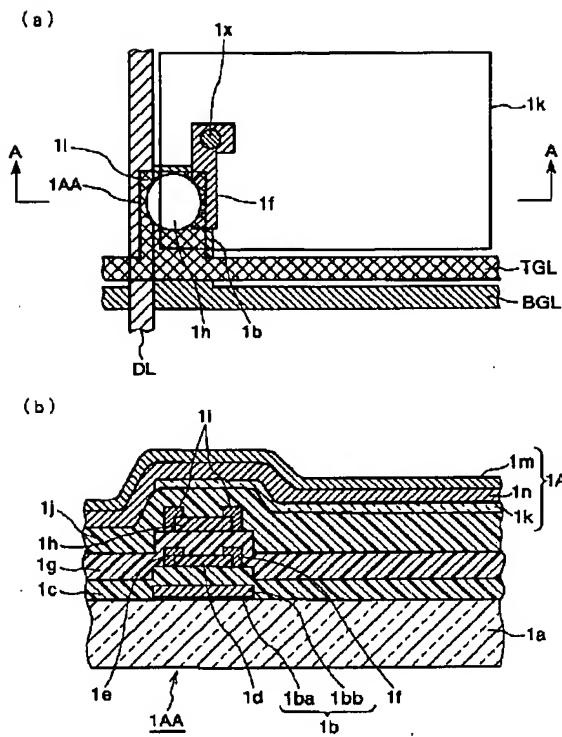
【図6】



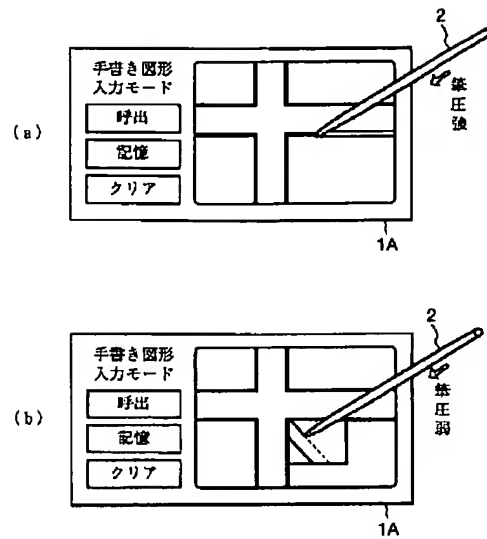
【図8】



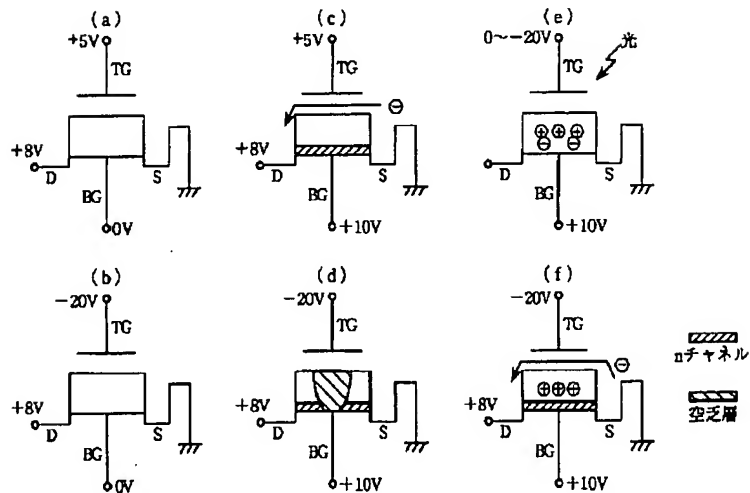
【図4】



【図7】



【図5】



【図9】

